

PAT-NO: JP402071556A

DOCUMENT-IDENTIFIER: JP 02071556 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: March 12, 1990

INVENTOR-INFORMATION:

NAME

NITAYAMA, AKIHIRO

TAKATOU, HIROSHI

HORIGUCHI, FUMIO

MASUOKA, FUJIO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP63223008

APPL-DATE: September 6, 1988

INT-CL (IPC): H01L027/092, H03K017/687 , H03K019/0944

US-CL-CURRENT: 257/328, 257/332 , 257/333

ABSTRACT:

**PURPOSE:** To make effective the inhibition of a leakage current in an inverter circuit as well as to contrive an increase in the effectiveness of inhibition of the effect of hot carriers without making large the occupation area of the circuit by a method wherein a MOS transistor of a vertical structure in which the sidewalls of columnar semiconductor layers are used as channels is used.

**CONSTITUTION:** An n-type well 2 and a p-type well 3 are formed in an Si substrate 1, columnar Si layers 5 and 6, which are respectively surrounded with each groove 4 and protrude insularly, are formed in the respective well regions and a P-channel MOS transistor Qp and an N-channel MOS transistor Qn are formed. That is, each gate oxide film 7 is formed on the outer peripheral surfaces of the layers 5 and 6 in the grooves 4 and each gate electrode 8 is formed in such a way as to encircle these outer peripheries. After the

formation of these electrodes 8, P-channel side source and drain layers 9 and 10 and N- channel side source and drain layers 11 and 12 are formed by ion-implanting an impurity. The subthreshold characteristics of a MOS transistor constituted in such a way are steep and its switching is very small. As a result, stand-by current in an inverter circuit is effectively inhibited.

COPYRIGHT: (C)1990,JPO&Japio

## ⑫ 公開特許公報(A) 平2-71556

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月12日

H 01 L 27/092

7735-5F  
8214-5JH 01 L 27/08  
H 03 K 17/6873 2 1 L  
F※

審査請求 未請求 請求項の数 2 (全12頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭63-223008

⑰ 出 願 昭63(1988)9月6日

⑱ 発 明 者 仁 田 山 晃 寛 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 高 東 宏 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 発 明 者 堀 口 文 男 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉑ 発 明 者 舩 岡 富 士 雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉒ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉓ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

最終頁に続く

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) MOSトランジスタを用いて構成されたインバータ回路を含む半導体装置において、前記インバータ回路を構成するMOSトランジスタは、半導体基板に溝により形成された柱状半導体層の側面を取巻くようにゲート絶縁膜を介してゲート電極が形成され、前記柱状半導体層の上面と前記溝の底部にそれぞれソース、ドレイン層が形成された構造を有することを特徴とする半導体装置。

(2) MOSトランジスタを用いて構成されたインバータ回路を含む半導体装置において、前記インバータ回路を構成するMOSトランジスタは、半導体基板に溝により形成された柱状半導体層の側面を取巻くようにゲート絶縁膜を介してゲート電極が形成され、前記柱状半導体層の上面と前記溝の底部にそれぞれソース、ドレイン層が形成され、かつチャネル反転時に前記溝底部のドレイン

層から伸びる空乏層によって前記柱状半導体層領域がその下の半導体層領域から電氣的に分離される構造を有することを特徴とする半導体装置。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## (産業上の利用分野)

本発明は半導体装置に係り、特にディジタル集積回路の基本回路であるインバータ回路部の改良に関する。

## (従来の技術)

半導体集積回路、なかでもMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはサブミクロン領域まで微細化が進んでいる。ディジタル回路の基本回路はインバータ回路であるが、このインバータ回路を構成するMOSトランジスタの微細化が進むと様々な弊害が出てくる。第1に、MOSトランジスタのゲート寸法が小さくなると、いわゆる短チャネル効果によってソース・ドレイン間にパン

チスルーが生じ、リーク電流を抑制することが困難になる。その結果インバータ回路のスタンバイ電流は増加する。第2に、MOSトランジスタの内部電界が高くなり、ホット・キャリア効果によってトランジスタのしきい値や相互コンダクタンスの変動が生じ、トランジスタ特性の劣化、そして回路特性（動作速度、動作マージンなど）の劣化が生じる。第3に、微細化によりゲート長が短くなったとしても、必要な電流量を確保するためにはゲート幅はある程度以上とらなくてはならず、その結果インバータ回路の占有面積を十分に小さくすることが難しい。例えばダイナミックRAM（DRAM）において、メモリセルの微細化技術が目覚ましく進んでいるが、周辺回路では必要な電流量を確保する上でゲート幅を小さくする訳にはいかない部分が多く、これがDRAMチップ全体としての小型化を阻害している。

（発明が解決しようとする課題）

以上のように従来のMOS集積回路技術では、インバータ回路のリーク電流の抑制が困難であり、

ッショルド・スイングが極めて小さい。これは後に詳細に説明するように、ゲートのチャネルに対する制御性が強いことによる。このためインバータ回路のスタンバイ電流は効果的に抑制される。また柱状半導体層の側壁がチャネル領域となり、チャネル領域が通常の平面構造のMOSトランジスタのようにフィールド領域に接する部分がない。従ってフィールド端の高電界のチャネル領域への影響ということがなく、ホット・キャリア効果が抑制される。また、占有面積を大きくすることなく、柱状半導体層の高さ、即ち溝の深さを大きくしてチャネル長を長くすることができ、これもホット・キャリア効果の抑制に有効となる。そしてこのホット・キャリア効果の抑制により、高信頼性のインバータ回路が得られる。更に、柱状半導体層の周囲を取り囲むようにチャネル領域を設けるため、大きいゲート幅を小さい占有面積内に実現することができ、ある程度大きい電流量を必要とする部分で特に占有面積縮小に大きい効果が得られる。更に、チャネル反転時に溝底部のドレイ

ホット・キャリア効果による信頼性の低下が生じ、また必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。

本発明は、このような問題を解決したインバータ回路を含む半導体装置を提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

本発明は、インバータ回路を構成するMOSトランジスタを、半導体基板上に溝によって形成された柱状半導体層を用いて構成する。具体的に本発明でのMOSトランジスタは、柱状半導体層を取り囲むようにその側面にゲート絶縁膜を介してゲート電極が形成され、柱状半導体層の上面と溝底部にそれぞれソース、ドレイン層が形成された構造とする。

（作用）

本発明の構造においては、MOSトランジスタのサブスレッショルド特性が急峻で、サブスレ

ン層から伸びる空乏層が柱状半導体層領域をその下の半導体層領域から電気的に分離するような構造とすることにより、基板バイアス依存性が極めて小さい特性が得られ、これも回路の信頼性向上に大きく寄与する。

（実施例）

以下、本発明の実施例を図面を参照して説明する。

第1図（a）（b）は、一実施例のCMOSインバータ回路の平面図と等価回路図である。第2図（a）、（b）、（c）および（d）はそれぞれ、第1図（a）のA-A'、B-B'、C-C'およびD-D'断面図である。シリコン基板1にn型ウェル2およびp型ウェル3が形成され、それぞれのウェル領域に溝4に囲まれて島状に突起する柱状シリコン層5および6が形成されて、これらの柱状シリコン層5および6にそれぞれpチャネルMOSトランジスタ $Q_p$ およびnチャネルMOSトランジスタ $Q_n$ が形成されている。MOSトランジスタ $Q_p$ 、 $Q_n$ は、各柱状シリコ

ン層5、6の側壁全体をチャネル領域として、縦型構造をもって構成されている。即ち、溝4内に必要な素子分離酸化膜が形成され、シリコン層5、6の外周面にはゲート酸化膜7が形成され、この外周を取り囲むようにゲート電極8が形成されている。このゲート電極8は例えば、 $p^+$ 型または $n^+$ 型多結晶シリコン膜を堆積し、これをレジストプロセスと反応性イオンエッチング等の異方性エッチングにより柱状シリコン層5および6の側面部と、両トランジスタのゲート電極の結合部となる平坦部に残すことにより得られる。このゲート電極8の形成後、 $p$ 型不純物のイオン注入によって $p$ チャネル側のソース、ドレイン層9、10、続いて $n$ 型不純物のイオン注入により $n$ チャネル側のソース、ドレイン層11、12が形成される。ソース層9、11はそれぞれ柱状シリコン層5、6の上面に形成され、ドレイン層10、12は溝4の底部に形成される。こうして素子形成された基板は、 $CV D$ 酸化膜13により覆われ、これにコンタクト孔が開けられて $Al$ 膜の蒸着、パター

ニングにより、必要な端子配線、即ち $V_{cc}$ 配線14、 $V_{ss}$ 配線、入力端子( $V_{in}$ )配線16、出力端子( $V_{out}$ )配線17が形成されている。

この実施例ではインバータ回路の動作における各トランジスタのチャネル反転時に、それぞれの柱状シリコン層領域がドレイン層から伸びる空乏層により、それ以下の領域から電氣的に分離される状態となるように、素子パラメータが設定されている。具体的に $p$ チャネル $MOS$ トランジスタ $Q_p$ 側についてその様子を第3図に示す。溝底部に形成されたドレイン12から挟み込むように伸びる空乏層19が互いに接触する状態になると、柱状シリコン層6はその下の基板領域からは分離されてフローティング状態になる。例えばこのような条件を満たすためには、 $p$ 型ウェル3の不純物濃度を $3 \times 10^{16}/cm^3$ 、柱状シリコン層3の幅を $1 \mu m$ 、ゲート酸化膜厚を $120 \text{ \AA}$ とすればよい。 $n$ チャネル側についても同様の条件を満たすようにする。

この実施例によるインバータ回路の利点を、従

来構造と比較しながら具体的に明らかにする。この実施例の構造では、 $MOS$ トランジスタのチャネル長はほぼ、溝4の深さである。いま必要なチャネル幅が、 $p$ チャネル $MOS$ トランジスタ $Q_p$ で $12 \mu m$ 、 $n$ チャネル $MOS$ トランジスタで $6 \mu m$ とする。柱状シリコン層5および6のパターン幅を $1 \mu m$ とすると、それぞれのパターン長さを $5 \mu m$ および $2 \mu m$ とすることにより、希望するチャネル幅が得られる。このとき第1図(a)のパターンでの占有面積はほぼ、 $3.25 \times 10 = 32.5 \mu m^2$ である。比較のため、従来の平面構造で同様の電流駆動能力をもつ $CMOS$ インバータ回路を構成した場合のパターンを、第18図に示す。チャネル長は $p$ チャネル、 $n$ チャネル共に $0.5 \mu m$ とし、チャネル幅は、 $p$ チャネル側が $12 \mu m$ 、 $n$ チャネル側が $6 \mu m$ である。このときインバータ回路の占有面積はほぼ、 $8 \times 21 = 84 \mu m^2$ となる。

以上の比較結果から明らかなように、この実施例によれば、回路占有面積を大幅に低減すること

ができる。必要な電流量が小さい部分即ち、チャネル幅が小さくてもよい部分では、もともと回路占有面積に占めるコンタクト孔面積の割合が大きいが、そしてこのコンタクト孔面積は本発明でも従来構造でも異なる。従って本発明による占有面積の縮小という効果が大きく発揮されるのは、チャネル幅が大きい回路部分である。この意味で本発明は例えば $DRAM$ 等の周辺回路部に適用して大きい効果が得られる。 $DRAM$ においては、メモリセルに溝掘りキャパシタ構造を導入して高集積化する技術が今後有望であるが、このメモリセル領域での溝掘りと同時に、周辺回路のインバータ部分の溝掘りを行えば、工程的にも有利である。

第14図(a)(b)は、それぞれ従来の平面構造 $p$ チャネル $MOS$ トランジスタと実施例の $p$ チャネル $MOS$ トランジスタのサブスレッショルド特性を示している。チャネル幅/チャネル長はいずれも、 $W/L = 8.0 \mu m / 0.8 \mu m$ である。この実施例でのチャネル幅 $W$ とチャネル長 $L$ の関

係を第13図に判り易く示した。ゲート酸化膜も等しく200Åであり、測定条件はドレイン電圧  $V_d = 0.05V$  とし、基板バイアスは  $V_{sub} = 0, 2, 4, 6$  と変化させた。この実施例のトランジスタでは従来構造と比較して明らかにサブスレッショルド特性が急峻である。またそのスイング  $S (= dV_g / d(\log I_d))$  が、従来構造では  $98mV/decade$  であるのに対し、この実施例では、 $72mV/decade$  と非常に小さい。これはこの実施例の場合、ゲートのチャネルに対する制御性が強いことを示している。そしてこのサブスレッショルド特性のため、この実施例ではインバータ回路のスタンバイ電流を抑制することができるという利点を得られる。第14図(a)(b)の比較から明らかなようにこの実施例においては、ドレイン電流が立上がる領域即ちチャネル反転を生じる領域での基板バイアス  $V_{sub}$  によるバラツキがない。これは、第3図で説明したようにこの実施例の場合、チャネル反転時には、ドレイン層からの空乏層によりトランジスタ部分が実質的にそれ以

り、第16図に示すように従来構造ではこれが占有面積  $5 \times 8 = 30\mu m^2$  に形成され、本発明においては  $5 \times 2.4 = 12\mu m^2$  に形成されている。以上のように本発明のものではトランジスタ面積が  $1/2$  以下であっても、従来構造と等しいドレイン電流が得られており、高い駆動能力をもっている。従って本発明の実施例により、各種集積回路の高集積化を図ることができる。

上記実施例では、nチャネルMOSトランジスタとpチャネルMOSトランジスタのゲート電極8を連続的に共通に形成しているが、チャネルの構成の仕方によってこれらを異ならせる場合もある。その場合の実施例のパターンを第1図(a)に対応させて第4図に示す。pチャネル側のゲート電極8<sub>1</sub>とnチャネル側のゲート電極8<sub>2</sub>を別々に形成して、これらを入力配線16で共通接続している。これにより、僅かに面積は増加するが、各トランジスタの特性の最適化が可能になる。

本発明は、CMOSインバータ以外のインバータ回路にも同様に適用することが可能である。そ

下の基板領域から電気的に分離されるからである。この結果、基板ノイズに対してもこの実施例の回路は強い耐性を示す。

第15図(a)(b)は、この実施例のインバータ回路におけるnチャネルMOSトランジスタについて、ホットキャリア効果ストレスをかけた時の相互コンダクタンスの劣化量  $\Delta G_m / G_{m0}$  およびドレイン電流の劣化量  $\Delta I_{ds} / I_{ds0}$  のストレス時間依存性を、従来構造のnチャネルMOSトランジスタと比較して示している。このデータから、この実施例の構造では特性の劣化量が少なく、信頼性が向上していることが分る。そしてこのような高信頼性のトランジスタを用いたインバータ回路は、動作速度や動作マージンの点で有利である。

第17図(a)(b)は、従来構造と本発明の構造でのトランジスタの静特性を比較して示している。チャネル幅Wとチャネル長Lが、 $W/L = 4.0\mu m / 0.8\mu m$ 、ゲート酸化膜厚が  $T_{ox} = 200\text{\AA}$ 、基板バイアス電圧が  $V_{sub} = 0V$  であ

のような他の実施例を次に説明する。なお以下の図面で、第1図、第2図と対応する部分にはそれらと同一符号を付して詳細な説明は省略する。

第5図(a)(b)は、E/R型インバータ回路の実施例を示す平面図とその等価回路である。第6図(a)、(b)はそれぞれ、第5図(a)のA-A'、B-B'断面図である。p型シリコン層3(ウェルでも、基板そのものでもよい)に先の実施例と同様に溝4により柱状シリコン層6を形成し、この柱状シリコン層6に先の実施例と同様にnチャネル、EタイプのMOSトランジスタQ<sub>n</sub>を形成している。そして、このトランジスタに隣接して、負荷素子Rとして、例えば多結晶シリコン膜による抵抗体20を形成している。

この実施例によれば、第1図と比較して明らかに更に占有面積の縮小が可能になる。

第7図(a)(b)は、E/D型インバータの実施例を示す平面図とその等価回路である。第8図(a)、(b)はそれぞれ、第7図(a)のA-A'、B-B'断面図である。この実施例では、

p型シリコン層3に二つの柱状シリコン層6<sub>1</sub>、6<sub>2</sub>を形成し、それぞれにやはり先の実施例と同様にしてドライバ用のnチャネル、EタイプのMOSトランジスタQ<sub>N E</sub>と負荷用のnチャネル、DタイプのMOSトランジスタQ<sub>N D</sub>を形成している。この場合、負荷側のMOSトランジスタはDタイプであるから、柱状シリコン層6<sub>2</sub>の側壁にはn型層21を形成する工程が必要である。

第9図(a)(b)は、E/E型インバータ回路の実施例の平面図とその等価回路である。第10図(a)(b)はそれぞれ、第9図(a)のA-A'、B-B'断面図である。この実施例は、ドライバ、負荷共にEタイプ、nチャネルMOSトランジスタQ<sub>N E 1</sub>、Q<sub>N E 2</sub>としている点、および負荷側のゲートをV<sub>cc</sub>配線14に接続している点を除き、先の実施例と同様である。

第11図(a)(b)は、ダイナミック型インバータ回路の実施例の平面図とその等価回路である。第12図(a)(b)はそれぞれ、第11図(a)のA-A'、B-B'断面図である。こ

たチャネル領域がフィールドに接していないために、ホットキャリア効果に対する耐性が強く、回路特性の優れたインバータ回路が得られる。更に、サブスレッショルド特性の改善によって、スタンバイ時の消費電流も大きく低減できる。

#### 4. 図面の簡単な説明

第1図(a)(b)は、本発明の一実施例のCMOSインバータ回路を示す平面図とその等価回路図、第2図(a)~(d)はその各部断面図、第3図は、上記実施例のトランジスタの動作時の特性を説明するための図、第4図は、第1図(a)のゲート電極を独立にした実施例を示す平面図、第5図(a)(b)は、E/R型インバータ回路の実施例を示す平面図とその等価回路図、第6図(a)(b)はその各部断面図、第7図は、E/E型インバータ回路の実施例を示す平面図とその等価回路図、第8図(a)(b)はその各部断面図、第9図(a)(b)は、E/E型インバータ回路の実施例を示す平面図とその等価回路図、第10図(a)(b)はその各部断面図、第11図

の実施例は、負荷側のゲート端子に対して独立の端子配線22を設けて、入力端子V<sub>in</sub>の反転増幅された信号 $\overline{\phi_B}$ が入るようにしている点を除き、基本的に先の実施例と同じである。

以上のE/R型インバータ、E/D型インバータ、E/E型インバータ、ダイナミック型インバータは、nチャネルMOSトランジスタのみで構成されており、ウェル分離領域を必要とせず、それだけ工程が簡単であり、また占有面積の縮小も図られる。同様の構成は、pチャネルMOSトランジスタのみを用いて構成することが可能である。以上の説明では、ゲート電極が柱状半導体層の外周を完全に取囲む場合のみ示したが、ゲート電極が完全な閉路を構成しない場合も本発明は有効である。

#### 〔発明の効果〕

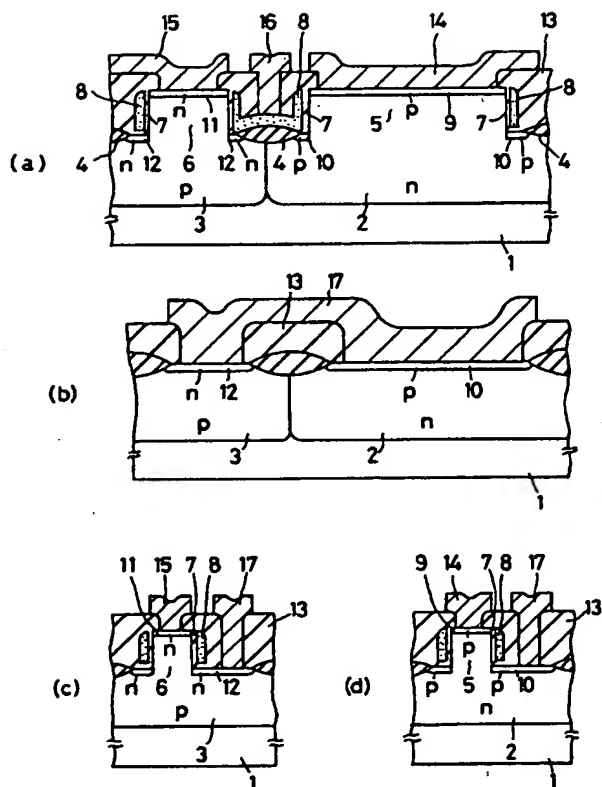
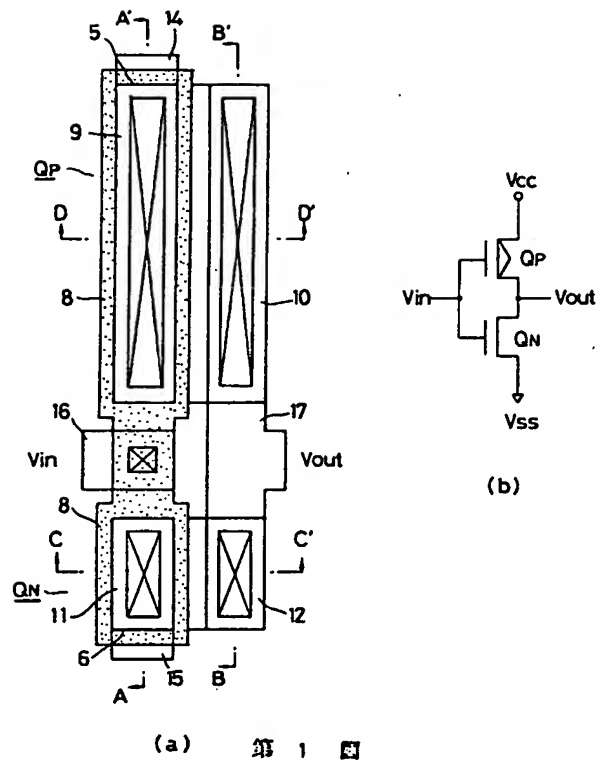
以上述べたように本発明によれば、柱状半導体層の側壁をチャネルとする縦構造のMOSトランジスタを用いることにより、占有面積を大幅に小さくしたインバータ回路を得ることができる。ま

(a)(b)は、ダイナミック型インバータ回路の実施例の平面図とその等価回路図、第12図(a)(b)はその各部断面図、第13図(a)(b)は第1図の実施例のpチャネルMOSトランジスタ構造を模式的に示す図、第14図(a)(b)は第1図の実施例のpチャネルMOSトランジスタのサブスレッショルド特性を従来構造と比較して示す図、第15図(a)(b)は同じくホットキャリア効果ストレスによる特性変化を従来構造と比較して示す図、第16図は試験のため試作した本発明でのトランジスタ面積を従来構造と比較して示す図、第17図(a)(b)は同じく静特性を従来構造と比較して示す図、第18図は、第1図(a)に対応する素子パラメータをもつ従来のMOSトランジスタ構造を示す平面図である。

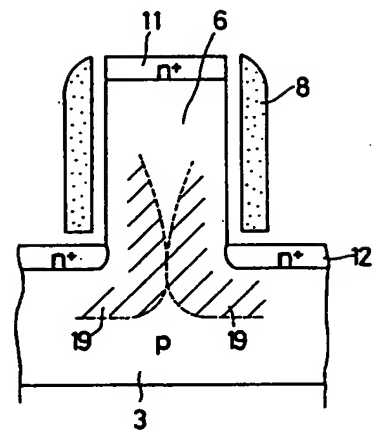
1…シリコン基板、2…n型ウェル、3…p型ウェル、4…溝、5、6…柱状シリコン層、7…ゲート酸化膜、8…ゲート電極、9、10…p型ソース、ドレイン層、11、12…n型ソース、

ドレイン層, 13...CVD酸化膜, 14~17...  
Al配線, 19...空乏層。

出願人代理人 弁理士 鈴江武彦

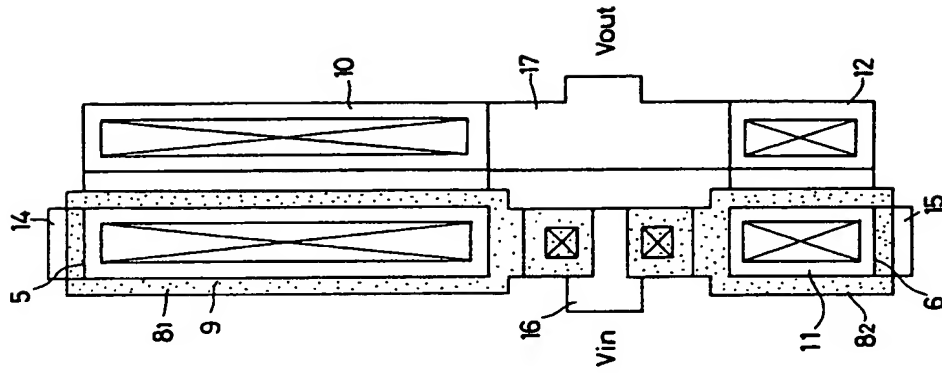


第 2 図

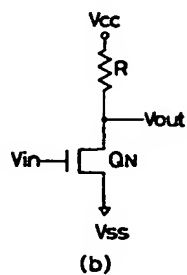
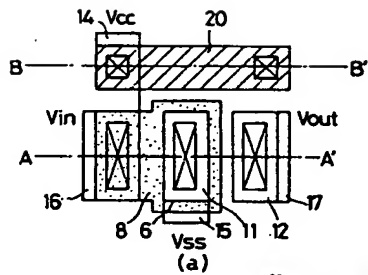


第 3 図

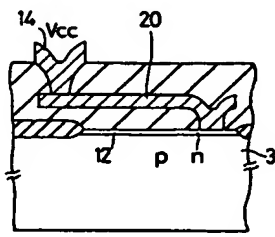
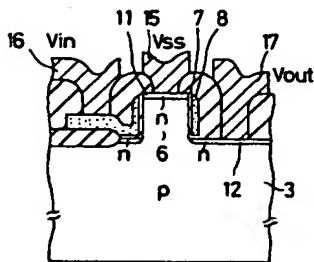




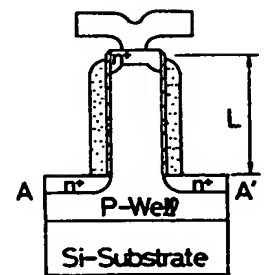
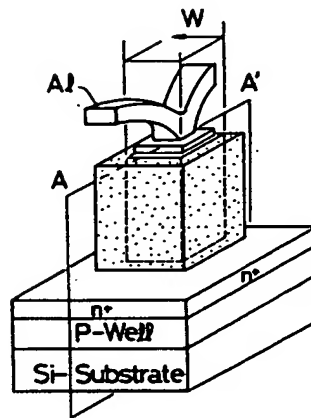
第 4 図



第 5 図



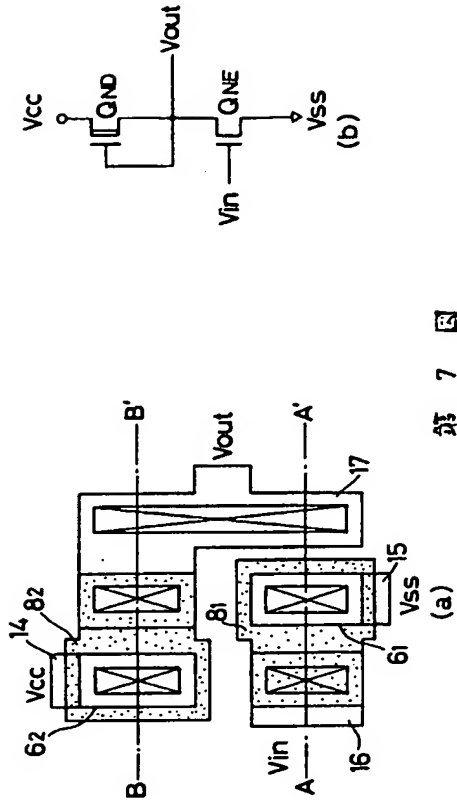
第 6 図



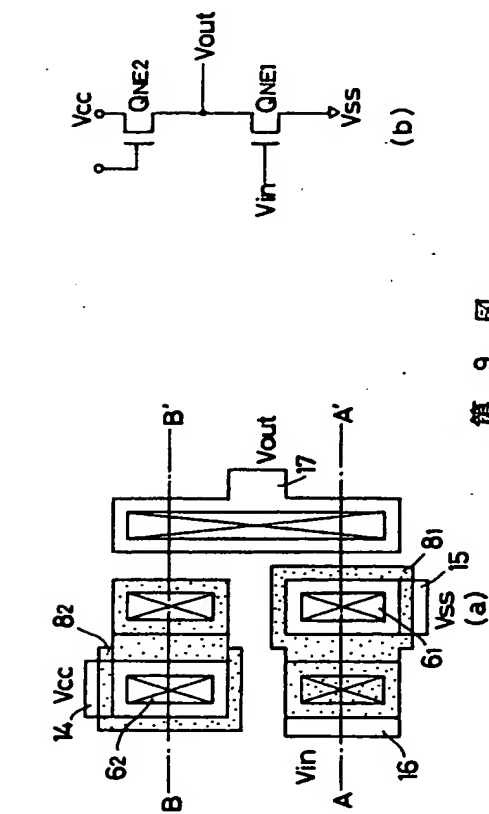
(a)

(b)

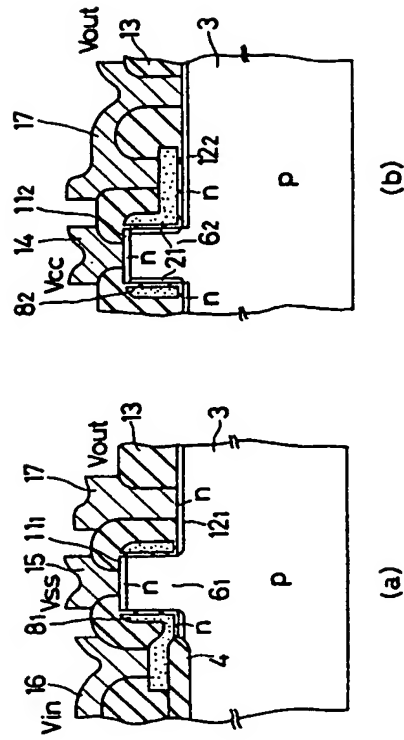
第 7 図



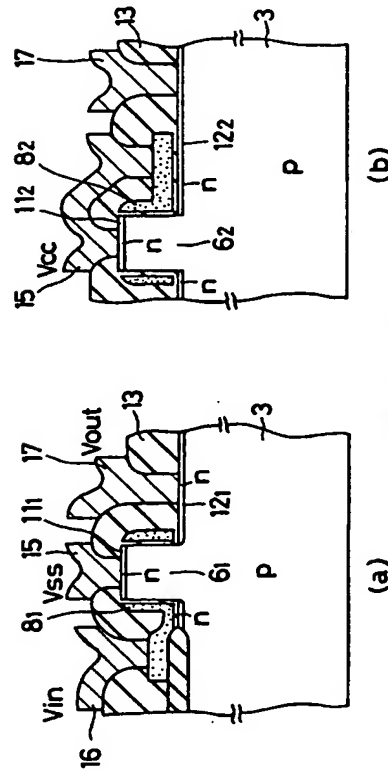
第 7 図



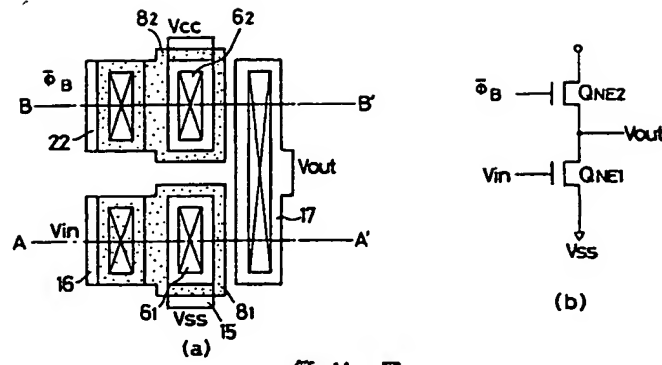
第 9 図



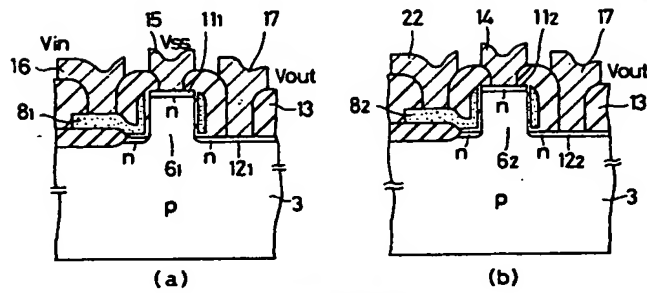
第 8 図



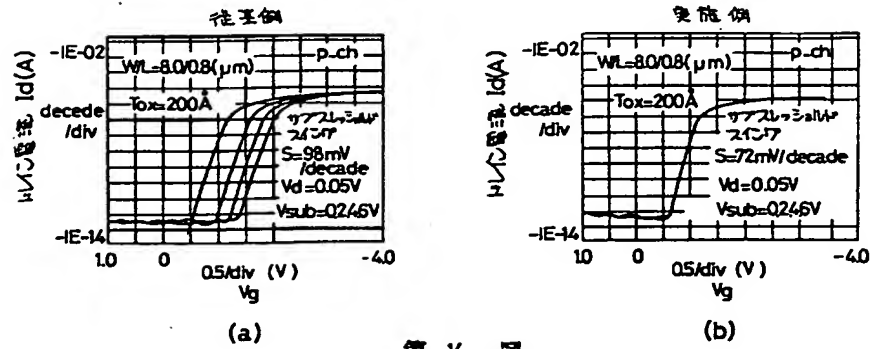
第 10 図



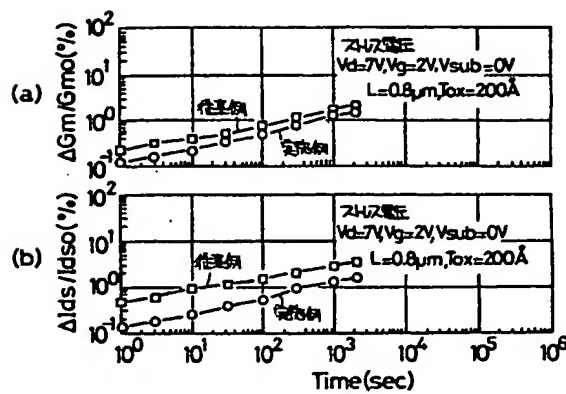
第 11 図



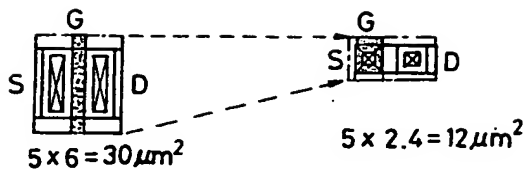
第 12 図



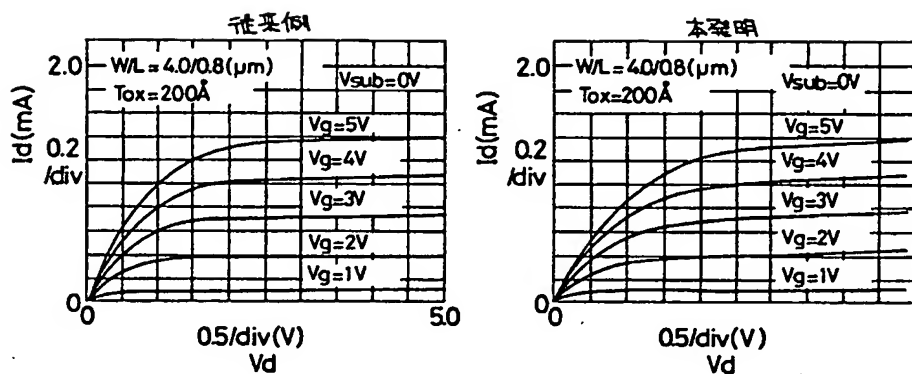
第 14 図



第 15 図



第 16 図



(a)

(b)

第 17 図



P-ch  
 $W=12 \mu\text{m}$   
 $L=0.5 \mu\text{m}$

n-ch  
 $W=6 \mu\text{m}$   
 $L=0.5 \mu\text{m}$

第 18 図

第1頁の続き

⑤Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

H 03 K 17/687  
// H 03 K 19/0944

8326-5J // H 03 K 19/094

A

手続補正書(方式)  
昭和 年 月 日 63.12.20

特許庁長官 吉田文毅殿

7. 補正の内容

(1) 図面第5頁中に、別紙<sup>の</sup>に~~記載する~~通り第6図の分図番号「(a)」を加入する。

(第6図、第5図ともに内容に変更なし)

1. 事件の表示

特願昭63-223008号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

東京都千代田区蔵が関3丁目7番2号 UBEビル

〒100 電話 03(502)3181 (大代表)

(5847) 弁理士 鈴江武彦

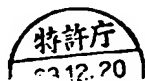


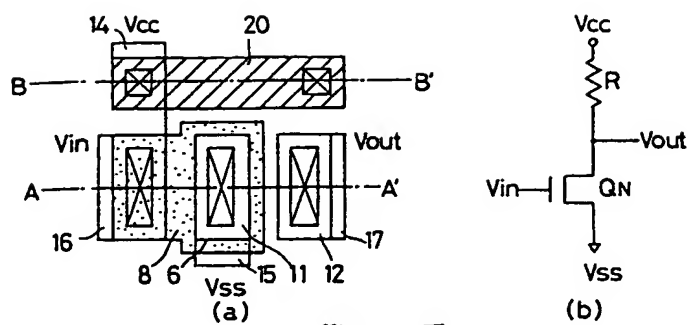
5. 補正命令の日付

昭和63年11月29日

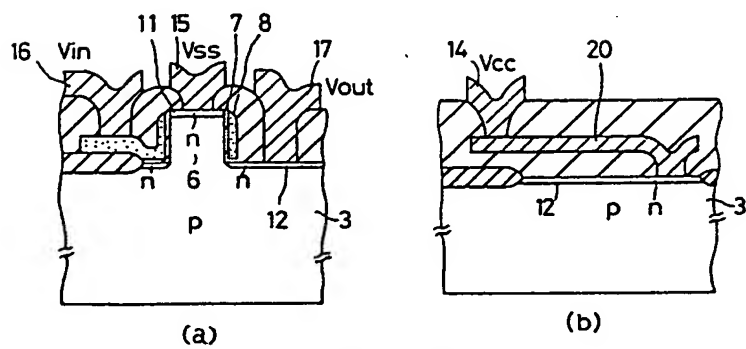
6. 補正の対象

図 面





第 5 図



第 6 図